

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 23 日  
Application Date

申請案號：092120142  
Application No.

申請人：瑞昱半導體股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 10 月 9 日  
Issue Date

發文字號：09221018720  
Serial No.

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

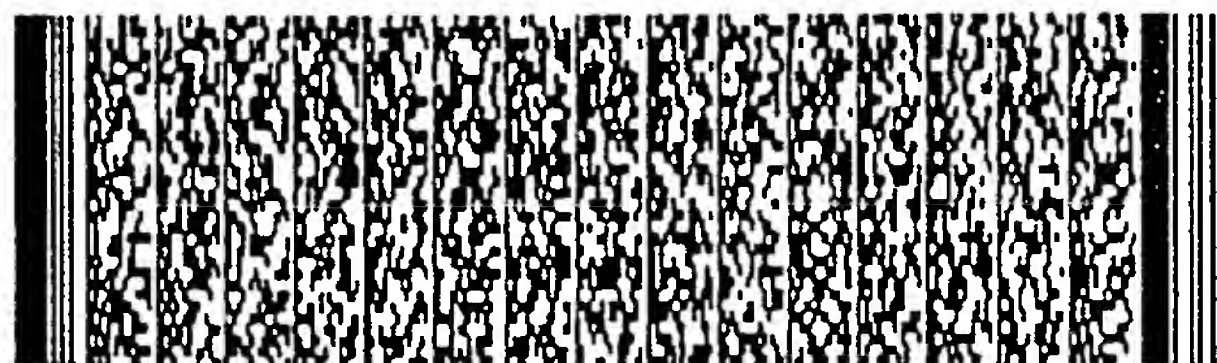
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	低轉高位準轉換電路
	英文	LOW-TO-HIGH LEVEL SHIFE CIRCUIT
二、 發明人 (共1人)	姓名 (中文)	1. 江嘉良
	姓名 (英文)	1. Chiang, Chia-Liang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新莊市民安路四二五號
	住居所 (英文)	1. No. 425, Ming-An Rd., Hsin-Chuang City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或姓名 (英文)	1. Realtek Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹縣新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 2 Industry E. Rd. IX, Hsin-Chu Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1. Yeh, Po-Len



四、中文發明摘要 (發明名稱：低轉高位準轉換電路)

一種低轉高位準轉換電路，耦合於第一電壓與第二電壓，第一電壓大於第二電壓，包含：一拉低電路，耦合於輸入訊號，其中，拉低電路係工作於第二電壓，且輸出訊號的邏輯位準係相對於第二電壓；一拉高電路，係工作於第一電壓，且輸出訊號的邏輯位準係相對於第一電壓；以及一鉗位電路，分別與拉低電路與拉高電路耦接，其中鉗位電路係工作於該第一電壓。

五、(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明

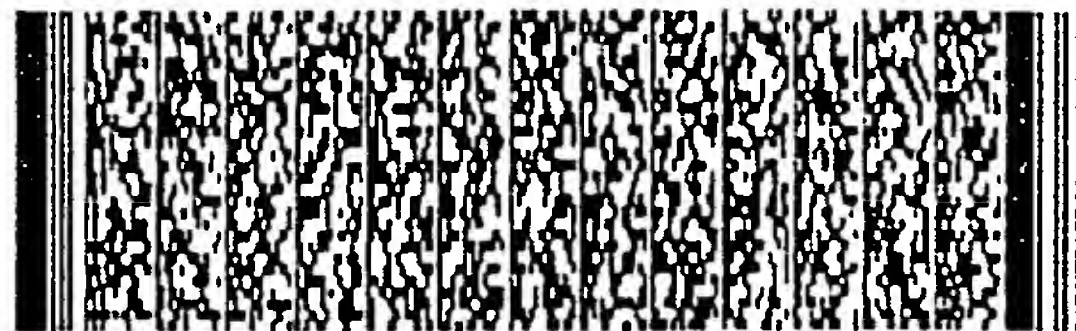
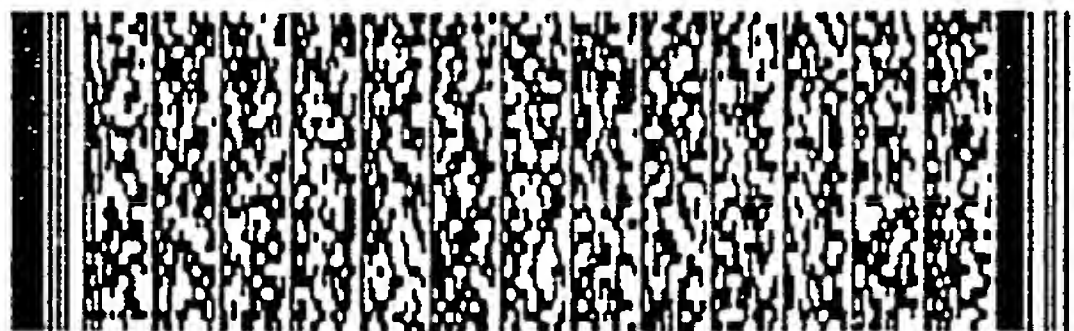
400 低轉高位準轉換電路

410、420 低壓 NMOS電晶體

430、440 高壓 NMOS電晶體

六、英文發明摘要 (發明名稱：LOW-TO-HIGH LEVEL SHIFE CIRCUIT)

A low-to-high level shift circuit, coupled to a first voltage and a second voltage, wherein the first voltage is larger than the second voltage. The low-to-high level shift circuit contains: a pull-down circuit, coupled to an input signal, wherein the pull-down circuit operates at the second voltage, and the logic level of the input signal is corresponding to the second voltage; a





四、中文發明摘要 (發明名稱：低轉高位準轉換電路)

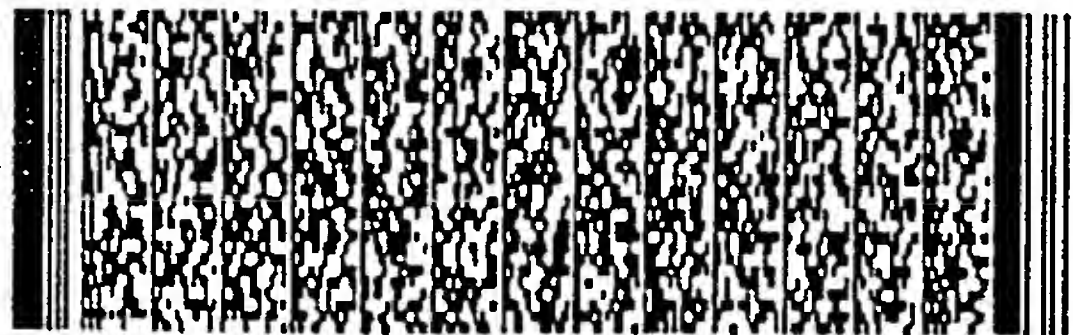
432 第一輸出端

442第二輸出端

450、460 高壓 PMOS電晶體

六、英文發明摘要 (發明名稱：LOW-TO-HIGH LEVEL SHIFE CIRCUIT)

pull-up circuit, for generating an output signal according to the input signal, wherein the pull-up circuit operates at the first voltage, and the logic level of the output signal is corresponding to the first voltage; and a clamping circuit, coupled between the pull-down circuit and the pull-up circuit, wherein the clamping circuit operates at the first voltage.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

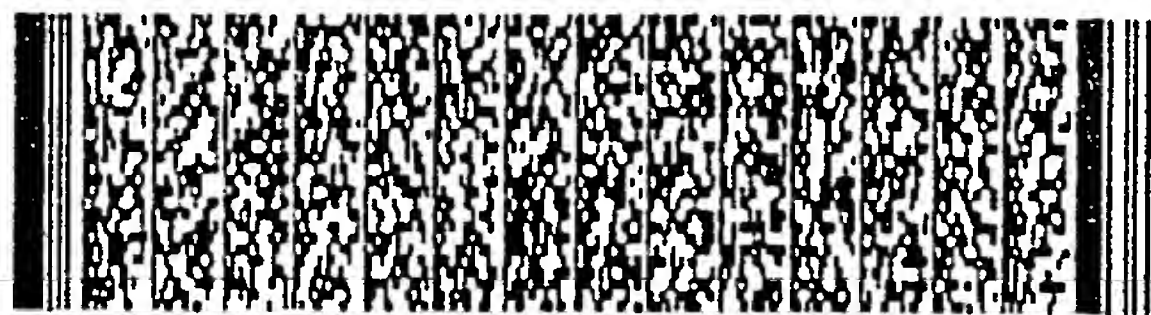
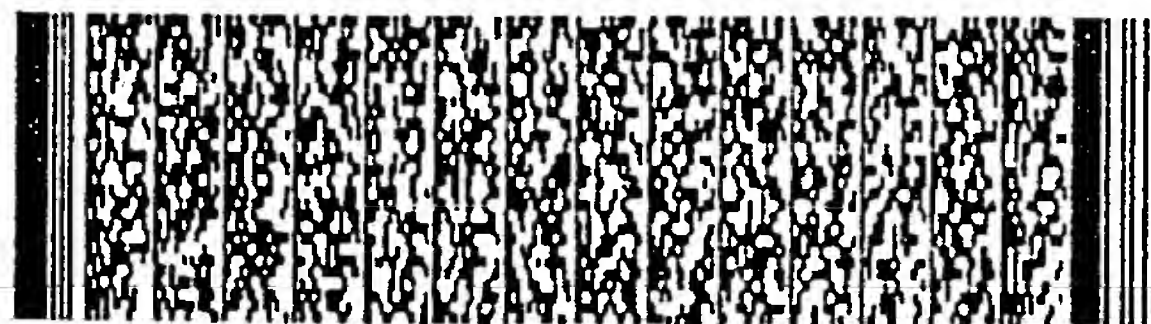
### 發明所屬之技術領域

本發明係提供一種低轉高位準轉換電路，尤指一種介於第一電壓與第二電壓之低轉高位準轉換電路。

### 先前技術

積體電路因為功率及電路積集度的考量，其所需的工作電壓通常會小於高壓系統的工作電壓。以工作電壓為1.2V的積體電路系統為例，分別使用1.2V與0V的電位來表示邏輯訊號1與0。但是，高壓系統的工作電壓通常會比積體電路用的工作電壓大。例如：一般設置於主機板上的電路元件的工作電壓係為5V或3.3V。亦即係分別使用5V或3.3V的電位來表示邏輯訊號1，以0V來表示邏輯訊號0。因此，在積體電路中，需要設置一個低工作電壓轉高工作電壓之位準轉換電路（level shift circuit），用以對輸出積體電路之邏輯訊號進行位準轉換，以將切換於1.2V與0V間的邏輯訊號轉變為切換於5V或3.3V與0V間的邏輯訊號。

請參閱圖一，圖一為習知技術一低轉高位準轉換電路之電路圖。低轉高位準轉換電路100包含有一高壓NMOS電晶體120、一高壓NMOS電晶體140、一高壓PMOS電晶體160、一高壓PMOS電晶體180，藉由這四個電晶體的開啟（turn





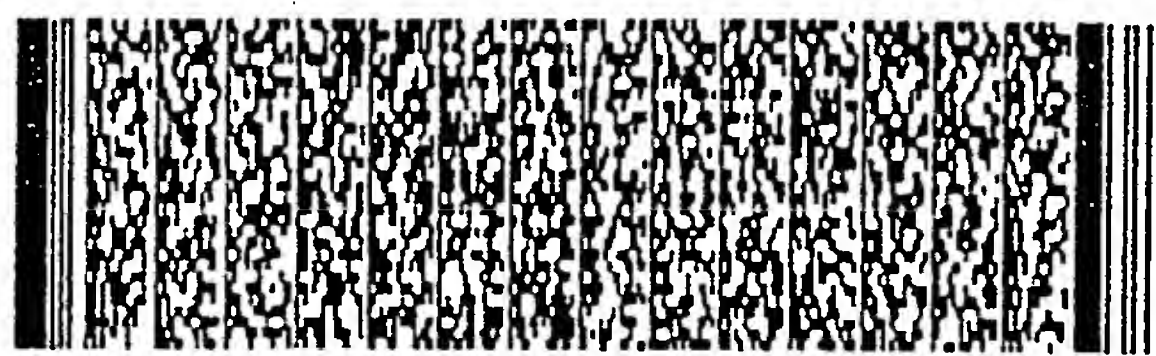
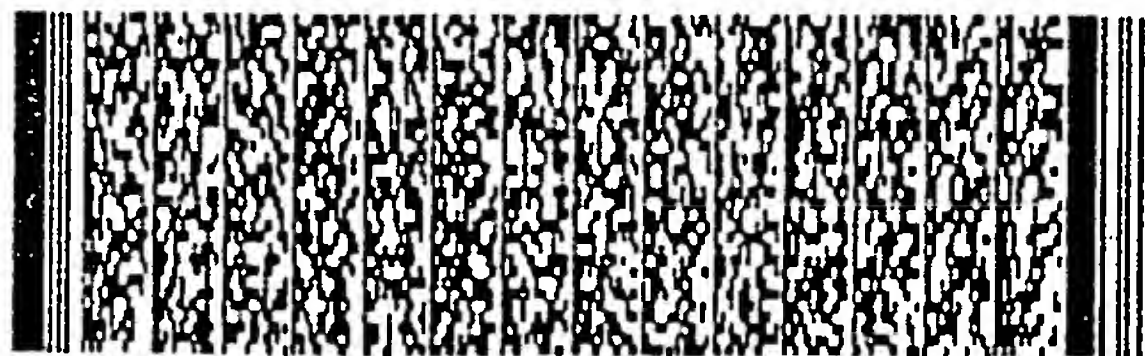
## 五、發明說明 (2)

on) 與關閉 (turn off) 對於第一輸出端 191 與第二輸出端 192 進行充放電的作用，以達成位準轉換的功能。

在積體電路中，可操作於 0V 與 5V/3.3V 之間的邏輯元件稱為高壓元件，而操作於 0V 與 1.2V 之間的邏輯元件稱為低壓元件。以金氧半導體電晶體 (metal-oxide-semiconductor transistor，以下簡稱 MOS 電晶體) 而言，高壓元件與低壓元件通常與氧化層的厚度有關，一般而言，高壓 MOS 電晶體氧化層的厚度會厚於低壓 MOS 電晶體氧化層的厚度，因而也造成了高壓 MOS 電晶體的閾電壓 (threshold voltage) 大於低壓 MOS 電晶體的閾電壓。舉例而言，一般高壓 MOS 電晶體的閾電壓通常為 0.9V。

假設  $VDDH=3.3V$ 、 $VSSH=0V$ 、 $VDDL=1.2V$ 、 $VSSL=0V$ 。當低壓訊號  $SL1$  的電位從  $VSSL$  切換成  $VDDL$  時。首先，高壓 NMOS 電晶體 120 會被開啟，高壓 NMOS 電晶體 140 則被關閉，位於第一輸出端 191 上的高壓第一訊號  $SH1$  的電位會是  $VSSH$ 。接著，由於高壓訊號  $SH1$  的電位等於  $VSSH$ ，所以高壓 PMOS 電晶體 180 會被開啟，因此位於第二輸出端 192 上的高壓第二訊號  $SH2$  的電位會變成  $VDDH$ 。

但是積體電路的製程的進步，積體電路所需的工作電壓越來越小。在先進的積體電路系統中，工作電壓可以低





### 五、發明說明 (3)

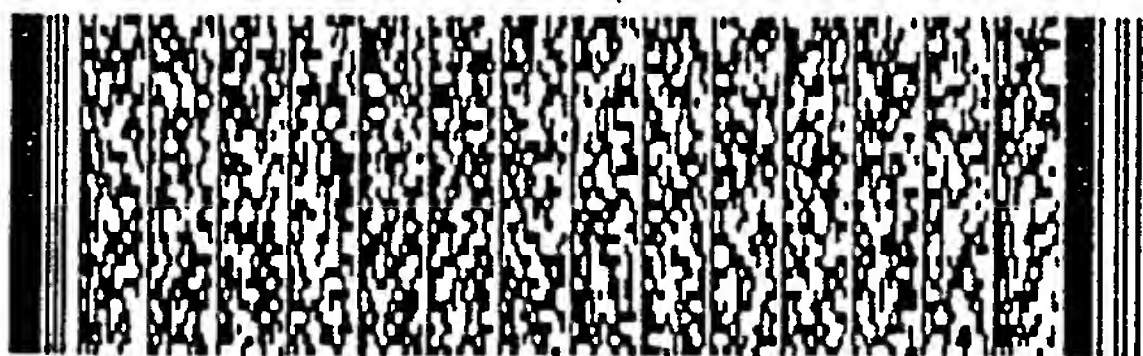
到 1V、0.9V 甚至是更低的電位。此時習知之低轉高位準轉換電路 100 在傳遞邏輯訊號時就會產生錯誤。

現在來看  $VDDL = 1V$  的情形（假設其他參數都不變）。當低壓訊號 SL1 的電位從 VSSL 切換成 VDDL 時。由於 VDDL 僅略高於高壓 NMOS 電晶體 120 的閾電壓，高壓第一訊號 SH1 的電位被放電的速度會變慢，而且高壓第二訊號 SH2 之電位上昇時間亦會大幅地增加，如此會增加積體電路之電位切換時間。此外，訊號的抖動 (jitter) 也會增加，容易造成電路的誤動作，影響電路的效能。若是低壓訊號 SL1 的操作頻率提高時，高壓第一訊號 SH1 的電位甚至來不及被切換，造成訊號失真。甚至當 VDDL 電位降到 0.9V 或低於 0.9V 的電位時，高壓區 NMOS 電晶體 120 與高壓區 NMOS 電晶體 140 在閘極電位等於 VDDL 時甚至不會被開啟，此時位準轉換器便無法正常工作。

因此，習知之低電壓轉高電壓之位準轉換電路的缺點是，在積體電路之工作電壓越來越小的情況下，會產生邏輯訊號無法正常傳遞的情形。

### 發明內容

因此本發明之主要目的，在於提供一種在低壓區高電位降低時，依舊可以正常傳遞邏輯訊號的低轉高位準轉換



## 五、發明說明 (4)

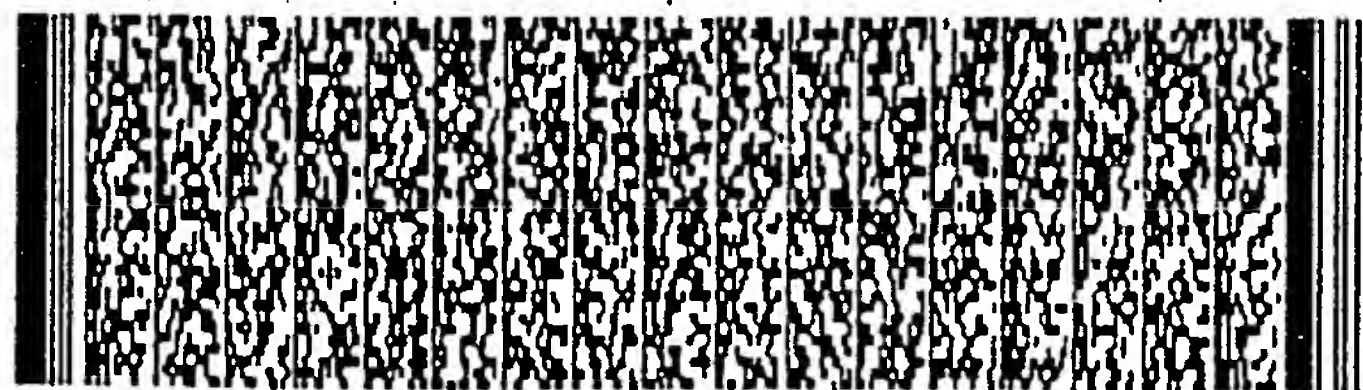
電路，以解決上述習知技術所面臨的問題。

轉第，係出輸係準於中準輸且電路位大其位號，位電高壓，輯訊壓鉗位轉電號邏入電一鉗低一訊的輸一及中種第入號據第以其一，輸訊依於；，露壓於入以作壓接揭電合輸用工電耦係二耦且，係一路，第，路路第電圍與路壓電電於高範壓電電高高對拉利電低二拉拉相與專一拉第一，係路。請第一於；中準電壓申於：作壓其位低電之合含工電，輯拉一明耦包係二號邏與第發，路第訊的別該本路壓電於出號分於據電電低對輸訊，作根換二拉相一出路工

本發明之低轉高位準轉換電路在低壓區高電位降低時依舊可以正常傳遞邏輯訊號，因此可解決上述習知技術所面臨的問題。

## 實施方式

請參閱圖二，圖二為本發明低轉高位準轉換電路之較佳實施例電路圖。低轉高位準轉換電路400包含有：一拉低電路（本實施例中包含有一第一拉低元件，即低壓NMOS電晶體410，以及一第二拉低元件，即低壓NMOS電晶體420）；一拉高電路（本實施例中包含有一拉高元件，即高壓PMOS電晶體450，以及一第二拉高元件，即高壓PMOS

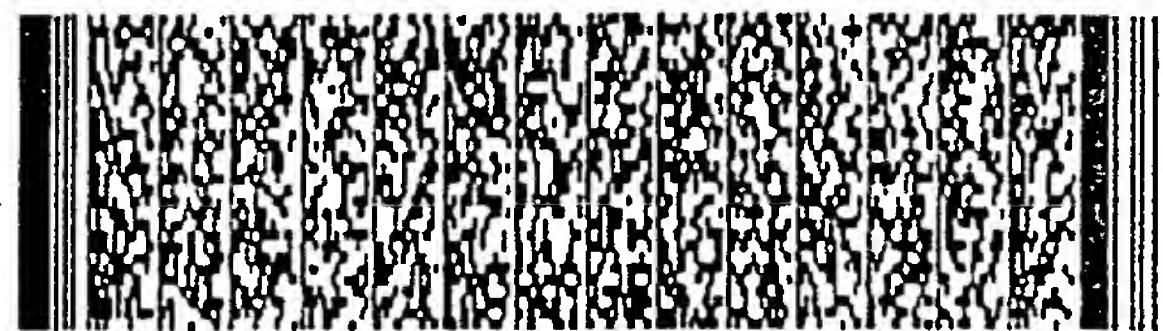
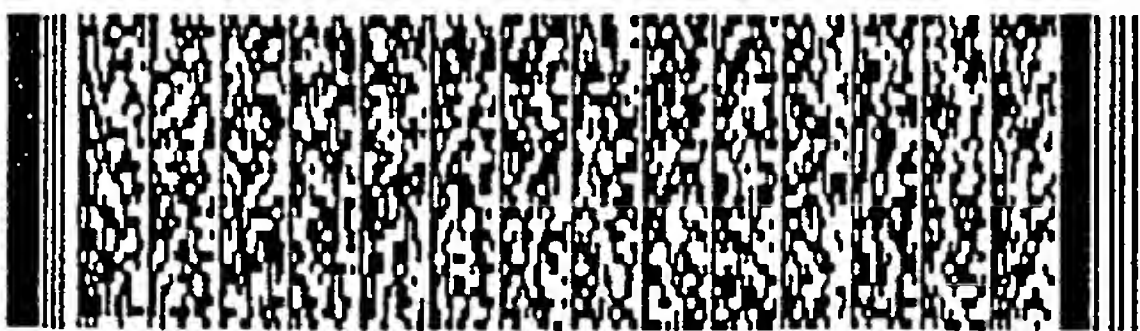




#### 五、發明說明 (5)

電晶體 460)；一鉗位電路(本實施例中包含有一第一鉗位元件，即高壓 NMOS 電晶體 430，以及一第二鉗位元件，即高壓 NMOS 電晶體 440)。請注意此處所述之高壓 MOS 電晶體或低壓 MOS 電晶體具有不同的氧化層厚度，可操作於不同的偏壓範圍，亦具有不同的閾電壓。

不同於習知技術中拉低電路使用高壓元件(即圖一之高壓 NMOS 電晶體 120 與高壓 NMOS 電晶體 140)，在本發明實施例中，係使用低壓元件(即圖四之低壓 NMOS 電晶體 410 與低壓 NMOS 電晶體 420)來進行拉低電位的工作。由於低壓元件具有的閾電壓較高壓元件具有的閾電壓為低(例如高壓元件與低壓元件的閾電壓可以分別為 0.9V、0.5V)，故以 VDDL 來作為低壓 NMOS 電晶體 410 或低壓 NMOS 電晶體 420 的閘極電壓皆可以正常開啟其汲極與源極間的通道，以對其汲極進行放電的動作。但是由於此時低壓 NMOS 電晶體 410 或低壓 NMOS 電晶體 420 是低壓元件，若在其汲極上的電位太高時(例如等於 VDDH 時)，容易造成此一低壓元件的損壞或使用壽命降低的情形，因此在本實施例中，使用了一鉗位元件，以確保低壓 NMOS 電晶體 410 或低壓 NMOS 電晶體 420 汲極上的電位值不會太高而造成低壓 NMOS 電晶體 410 或低壓 NMOS 電晶體 420 的損壞。其中鉗位元件可由高壓 NMOS 電晶體 430 與高壓 NMOS 電晶體 440 所組成。





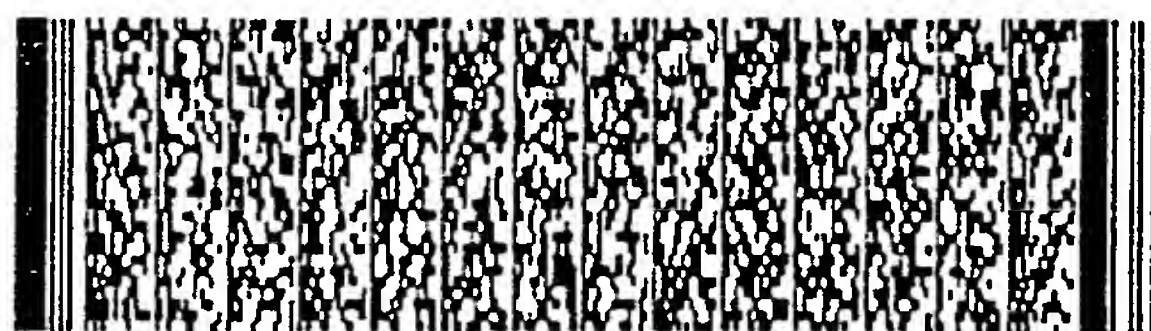
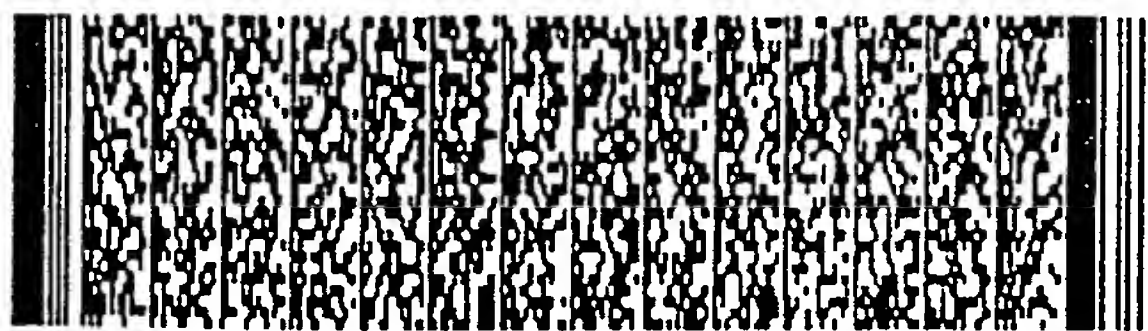
##### 五、發明說明 (6)

高壓 NMOS電晶體 430之閘極耦合於一緩衝偏壓（其電位為一緩衝電位 VBIAS），用來確保低壓 NMOS電晶體 410汲極上的電位不會超過緩衝電位 VBIAS減去高壓電晶體之閾電壓  $V_t$ ，所以假設為了確保低壓 NMOS電晶體 420不會損壞，必須確保低壓 NMOS電晶體 420汲極上的電位不大於 1.5V 時，只需設計緩衝電位 VBIAS的值為 2.4V即可（此時  $VBIAS - \text{高壓電晶體之 } V_t = 1.5V$ ）。高壓 NMOS電晶體 440與 430之作用相同。

高壓 PMOS電晶體 450之閘極耦合於第二輸出端 442，其汲極耦合於第一輸出端 432，其源極耦合於一高壓區高偏壓（其電位即為高壓區高電位 VDDH），用來於第二輸出端 442之電位實質上等於 VSSH時，使位於第一輸出端 432之高壓區第一訊號 SH1之電位實質上等於 VDDH；高壓 PMOS電晶體 460與 450之作用相同。

請注意在本實施例中，高壓 NMOS電晶體 430與高壓 NMOS電晶體 440在閘極使用相同值的緩衝電位 VBIAS作為偏壓，事實上這兩個電晶體若使用具有不同電位的不同偏壓源亦是可行的。至於此處所使用到之偏壓源則可由系統設計者自行決定設計方式。

相較於習知技術，本發明之低轉高位準轉換電路使用低壓元件進行拉低電位的工作，並且使用該第一鉗位元件



五、發明說明 (7)

與該第二鉗位元件來保護低壓元件，在低壓區高電位降低時依舊可以正常傳遞邏輯訊號，因此可解決上述習知技術所面臨的問題。

以上所述僅為本發明較佳之實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知技術一低轉高位準轉換電路之電路圖。

圖二為本發明低轉高位準轉換電路之較佳實施例電路圖。

圖式之符號說明

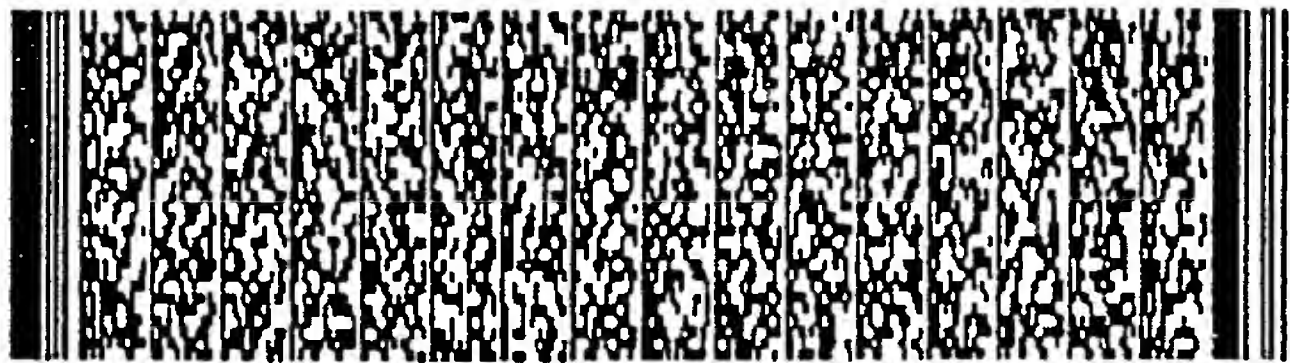
100、400	低轉高位準轉換電路
120、140、430、440	高壓 NMOS電晶體
160、180、450、460	高壓 PMOS電晶體
191、432	第一輸出端
192、442	第二輸出端
410、420	低壓 NMOS電晶體





#### 六、申請專利範圍

1. 一種低轉高位準轉換電路，耦合於一第一電壓與一第二電壓，該第一電壓大於該第二電壓，包含：  
一拉低電路，耦接於一輸入訊號，其中，該拉低電路係一工作於該第二電壓；  
一拉高電路，用以依據該輸入訊號輸出一輸出訊號，其中，該拉高電路係相對於該第一電壓；以及  
一銕位電路，分別與該拉低電路與該拉高電路耦接，其中該銕位電路係工作於該第一電壓。
2. 如申請專利範圍第1項所述之低轉高位準轉換電路，其中該輸入訊號更包括一第一輸入訊號及與該第一輸入訊號反相之一第二輸入訊號，該拉低電路包含有：  
一第一拉低元件，用以接收該第一輸入訊號；以及  
一第二拉低元件，用以接收該第二輸入訊號。
3. 如申請專利範圍第2項所述之低轉高位準轉換電路，其中該第一拉低元件及該第二拉低元件係為NMOS電晶體，該第一拉低元件及該第二拉低元件之閘極係分別用以接收該第一輸入訊號及該第二輸入訊號。
4. 如申請專利範圍第2項所述之低轉高位準轉換電路，其中該輸出訊號更包括一第一輸出訊號及與該第一輸出訊



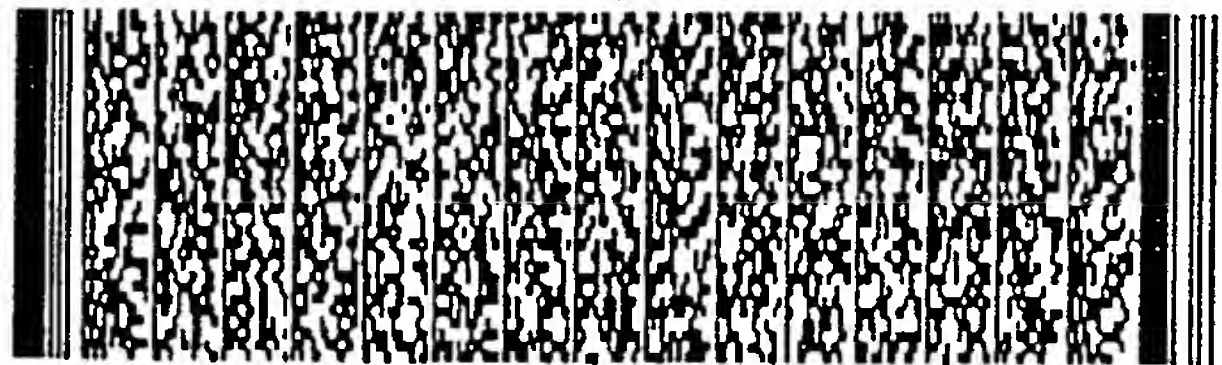
#### 六、申請專利範圍

號反相之一第二輸出訊號，該拉高電路包含有：  
一第一拉高元件，用以輸出該第一輸出訊號；以及  
一第二拉高元件，用以輸出該第二輸出訊號。

5. 如申請專利範圍第4項所述之低轉高位準轉換電路，其中該第一拉高元件及該第二拉高元件係為PMOS電晶體，該第一拉高元件之閘極與該第二拉高元件之汲極耦接，用以輸出該第二輸出訊號，該第二拉高元件之閘極與該第一拉高元件之汲極耦接，用以輸出該第一輸出訊號。

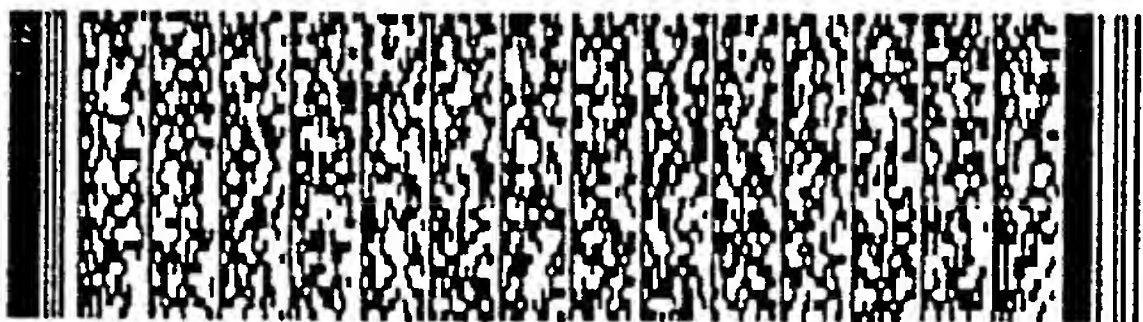
6. 如申請專利範圍第4項所述之低轉高位準轉換電路，其中該鉗位電路包含有：  
一第一鉗位元件，分別與該第一拉低元件及該第一拉高元件耦接；以及  
一第二鉗位元件，分別與該第二拉低元件及該第二拉高元件耦接；  
其中，該第一鉗位元件及該第二鉗位元件係依據一偏壓電壓運作。

7. 一種低轉高位準轉換電路，耦合於一第一電壓與一第二電壓，該第一電壓大於該第二電壓，包含：  
一第一NMOS電晶體，耦合於一第一輸入訊號；  
一第二NMOS電晶體，耦合於一第二輸入訊號，其中，該

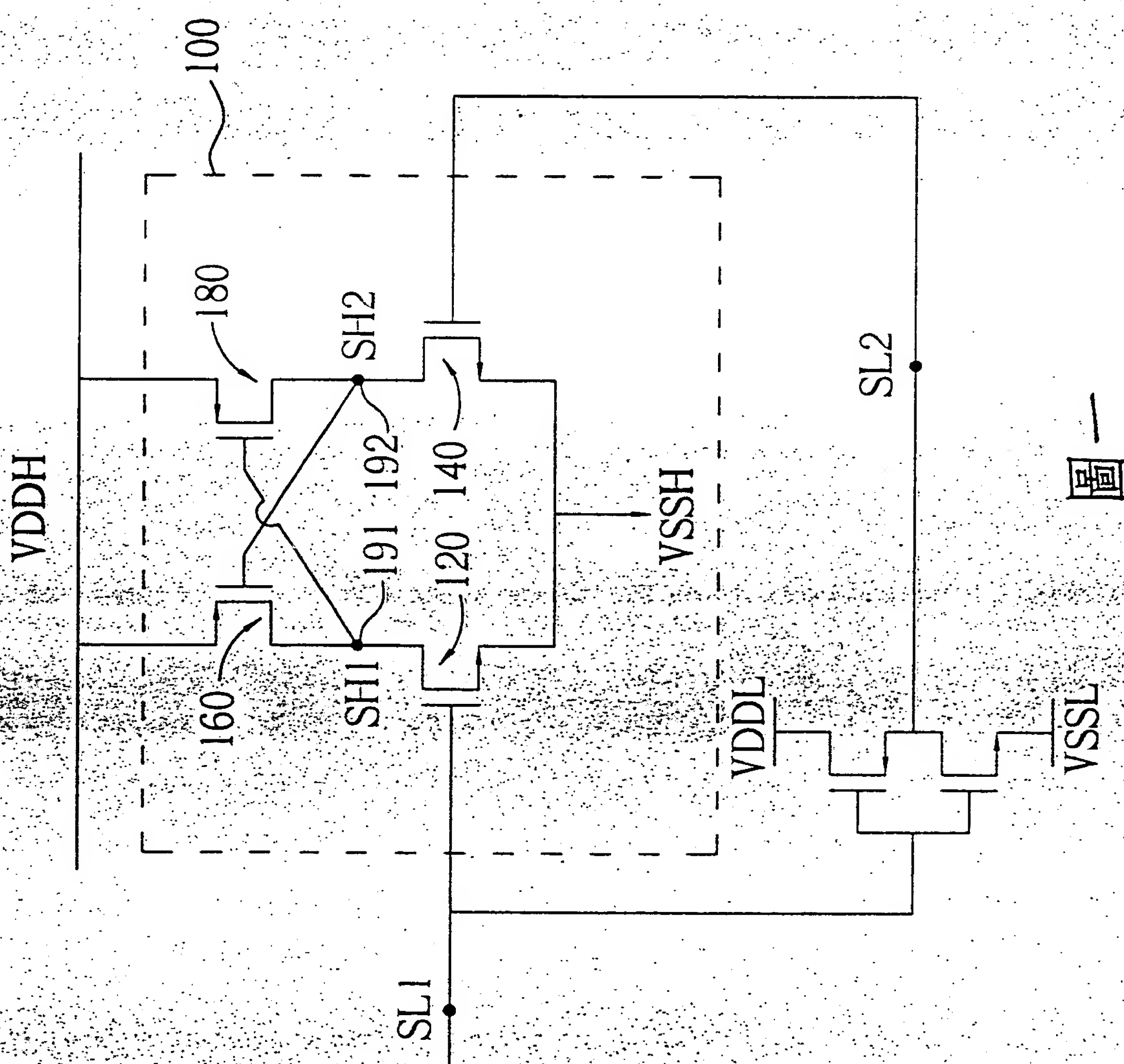


#### 六、申請專利範圍

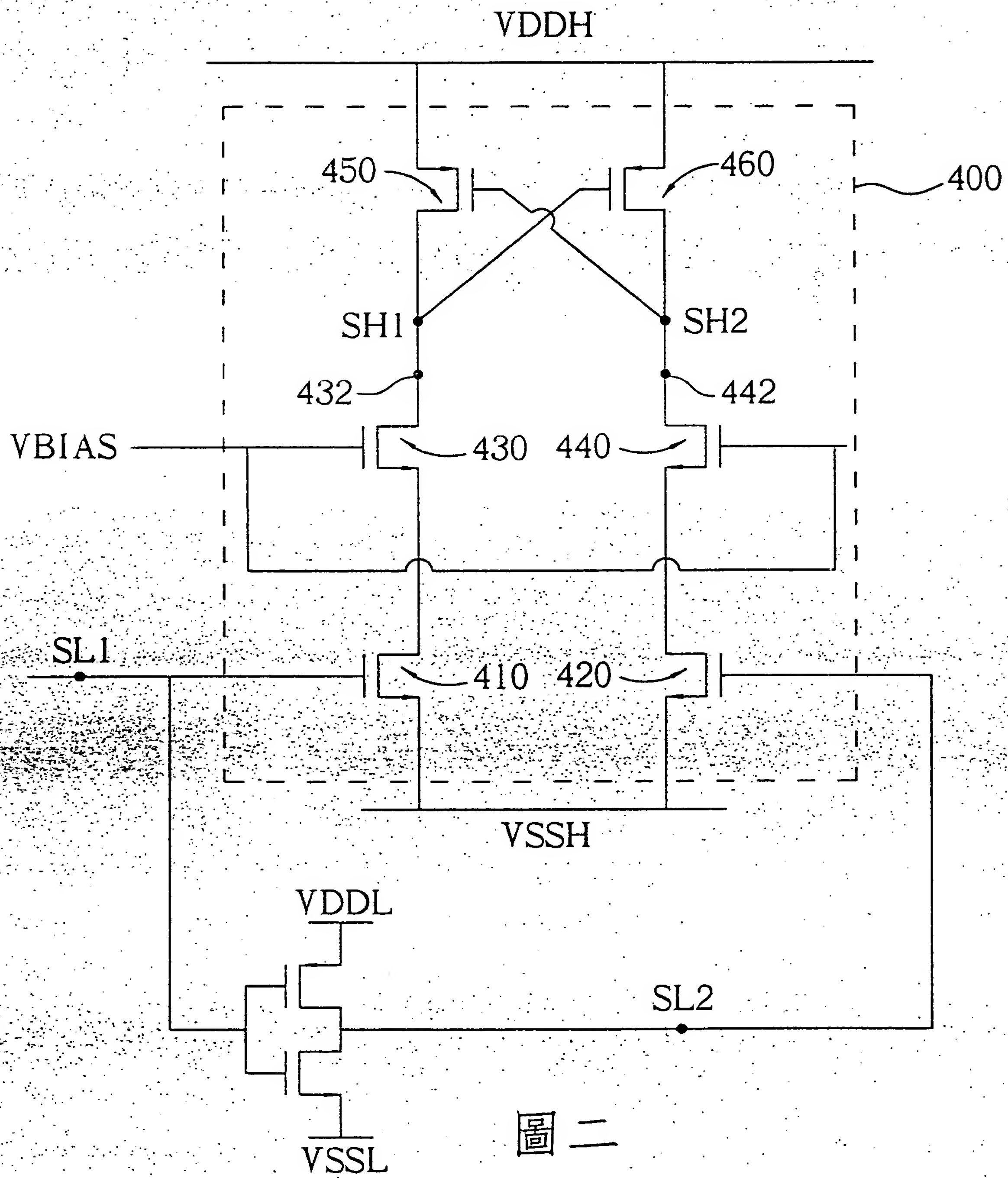
第二輸入訊號係與該第一輸入訊號反相；  
其中，該第一 NMOS 電晶體及該第二 NMOS 電晶體係工作於該第二電壓，且該第一輸入訊號及該第二輸入訊號的邏輯位準係相對於該第二電壓；  
一第一 PMOS 電晶體，用以輸出一第一輸出訊號；  
一第二 PMOS 電晶體，用以輸出一第二輸出訊號；  
其中，該第一 PMOS 電晶體及該第二 PMOS 電晶體係工作於該第一電壓，且該第一輸出訊號及該第二輸出訊號的邏輯位準係相對於該第一電壓；  
一第一鉗位元件，其汲極分別與該第一 PMOS 電晶體之汲極及該第二 PMOS 電晶體之閘極耦接，而其源極係與該第一 NMOS 電晶體之汲極耦接；以及  
一第二鉗位元件，其汲極分別與該第二 PMOS 電晶體之汲極及該第一 PMOS 電晶體之閘極耦接，而其源極係與該第二 NMOS 電晶體之汲極耦接；  
其中，該第一鉗位元件及該第二鉗位元件係工作於該第一電壓。







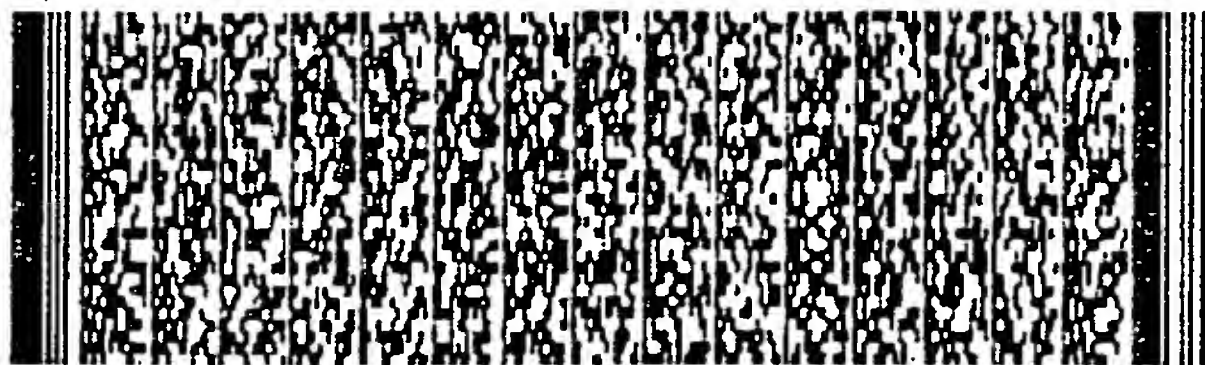
圖一



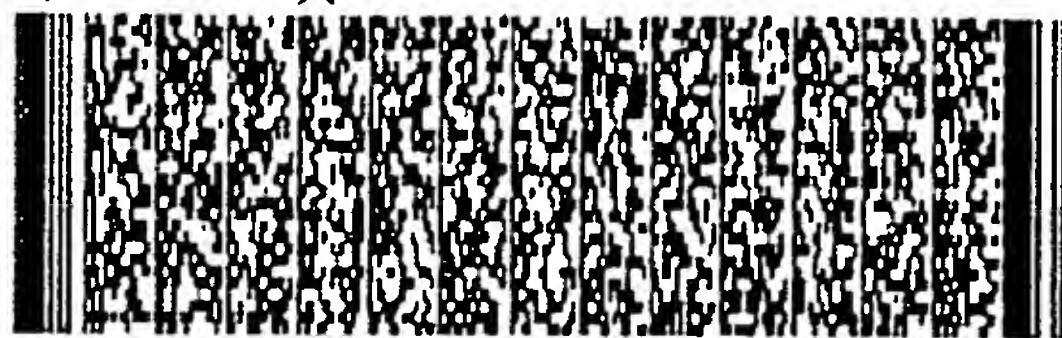
圖二



第 1/15 頁



第 2/15 頁



第 2/15 頁



第 3/15 頁



第 4/15 頁



第 5/15 頁



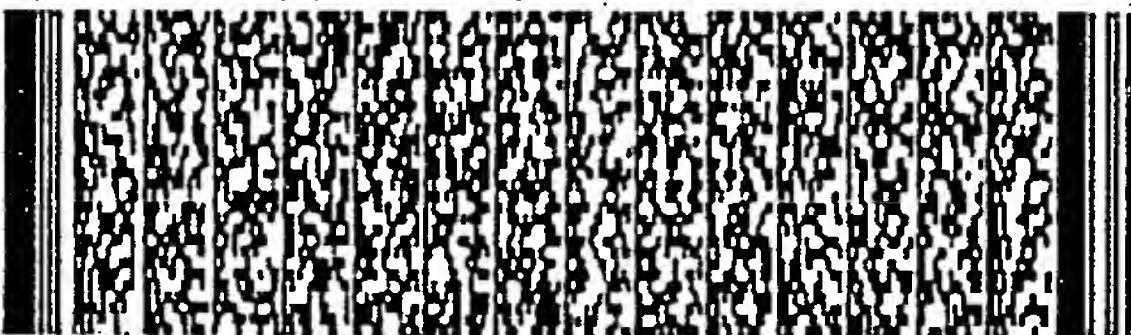
第 5/15 頁



第 6/15 頁



第 6/15 頁



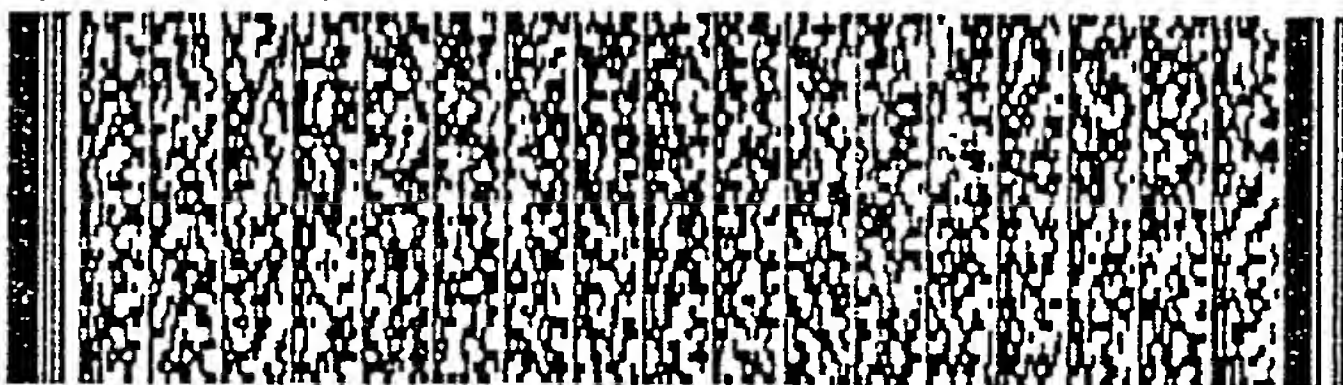
第 7/15 頁



第 7/15 頁



第 8/15 頁



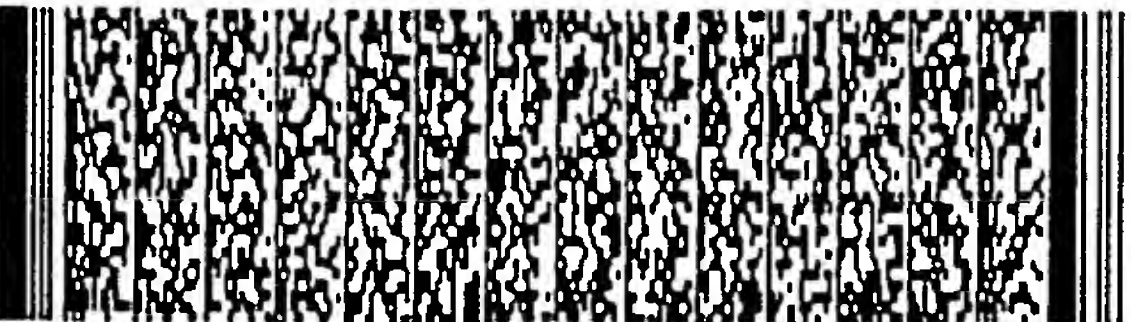
第 9/15 頁



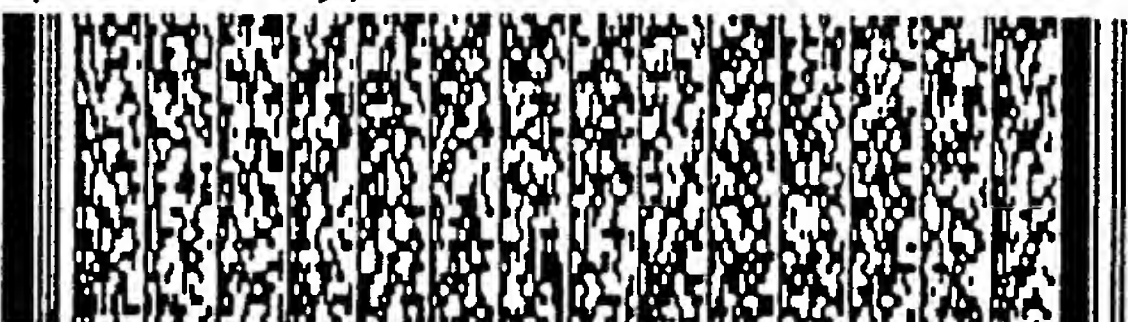
第 9/15 頁



第 10/15 頁

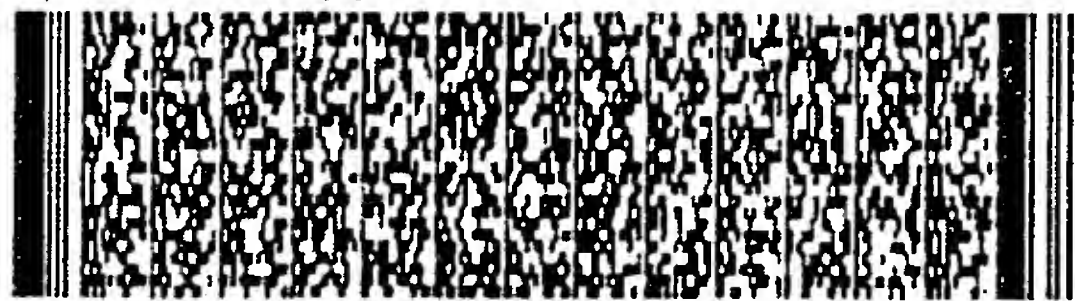


第 10/15 頁





第 11/15 頁



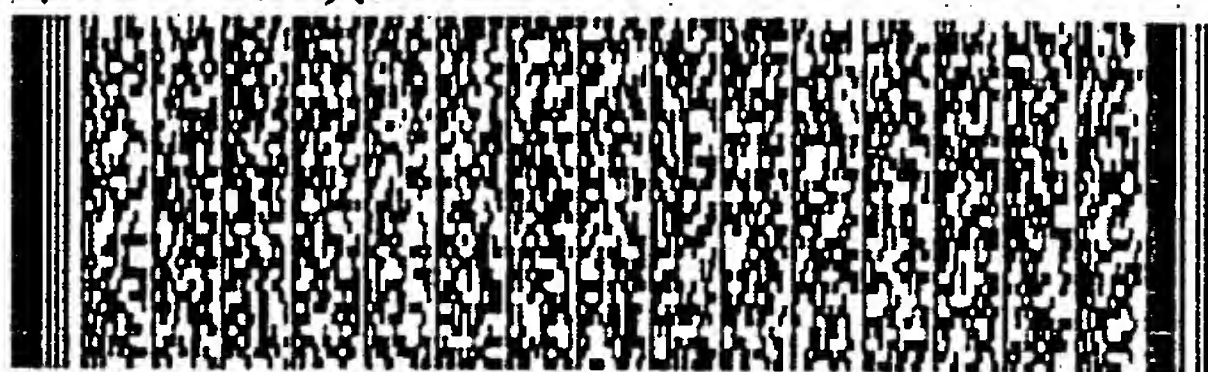
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

